

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109913  
 (43)Date of publication of application : 30.04.1993

)Int.Cl.

H01L 21/90  
H01L 21/82

)Application number : 03-299858

(71)Applicant : NEC CORP

)Date of filing : 19.10.1991

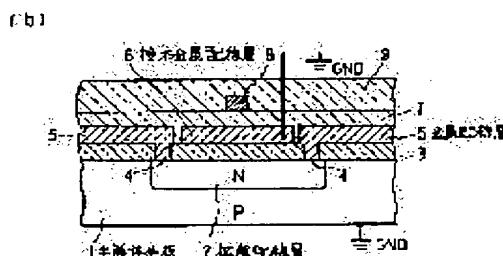
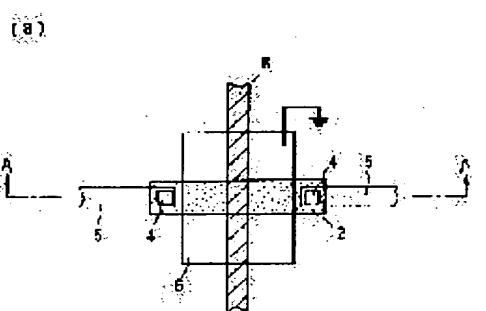
(72)Inventor : CHIBA KAZUKI

## ) WIRING STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

## )Abstract:

POSE: To eliminate wiring design limits, permit dense wiring and provide wiring structure whose strokes of an analog signal and a digital signal are pressed for a semiconductor integrated circuit which has both the analog signal and digital signal.

INSTITUTION: On a semiconductor integrated circuit, two pieces of analog wiring 2 and 5, which pass an analog signal, are permitted to cross digital wiring 8, which passes a digital signal. Wiring layers (a semiconductor substrate 1 and a grounding metal wiring layer 6) which ground on the top and bottom of a wiring layer 2 (a part of the analog wiring) are formed and a wiring layer 8 is permitted to cross the grounding wiring layers at the top or bottom of the layers.



## GAL STATUS

ate of request for examination] 27.10.1995

ate of sending the examiner's decision of rejection] 09.06.1998

nd of final disposal of application other than the  
 examiner's decision of rejection or application converted  
 registration]

ate of final disposal for application]

atent number]

ate of registration]

umber of appeal against examiner's decision of 10-10751

action]

ate of requesting appeal against examiner's decision of 09.07.1998  
 action]

ate of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-109913

(43) 公開日 平成5年(1993)4月30日

(51) Int. C1. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L	21/90	V 7353-4 M		
	21/82			
	21/90	W 7353-4 M	H O 1 L	W
		9169-4 M	21/82	

審査請求 未請求 請求項の数 2

(全 5 頁)

(21) 出願番号 特願平3-299858

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成3年(1991)10月19日

(72) 発明者 千葉 和樹

東京都港区芝五丁目7番1号 日本電気株式  
会社内

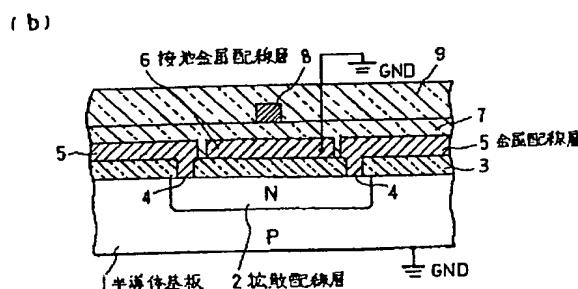
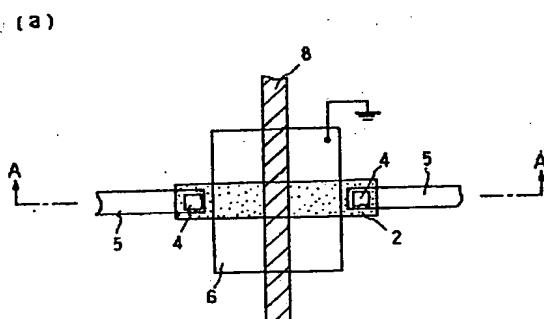
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】半導体集積回路の配線構造

(57) 【要約】

【目的】 アナログ信号とデジタル信号が混在する半導体集積回路における、配線の設計上の制約を解消し、かつ配線の高密度化を可能とし、更にアナログ信号とデジタル信号のクロストークを抑止した配線構造を得る。

【構成】 アナログ信号を通すアナログ配線2、5と、デジタル信号を通すデジタル配線8とを交差配置してなる半導体集積回路において、一方の配線層(アナログ配線の一部)2の上側及び下側に接地した配線層(半導体基板1と接地金属配線層6)を形成し、他方の配線層8をこれら接地配線層の上側又は下側で交差させる。



## 【特許請求の範囲】

【請求項1】 アナログ信号を通すアナログ配線と、デジタル信号を通すデジタル配線とを交差配置してなる半導体集積回路において、前記一方の配線層の上側及び下側に接地した配線層を形成し、他方の配線層をこれら接地配線層の上側又は下側で交差させたことを特徴とする半導体集積回路の配線構造。

【請求項2】 アナログ信号を通すアナログ配線と、デジタル信号を通すデジタル配線とを隣接配置してなる半導体集積回路において、前記一方の配線の両側に接地した配線を沿設し、他方の配線をこれら接地配線の外側に配置したことを特徴とする半導体集積回路の配線構造。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路の配線構造に関し、特に配線間でのクロストークを解消した配線構造に関する。

## 【0002】

【従来の技術】 近年における半導体集積回路の高密度化に伴って、配線構造が多層化され、或いは隣接する配線の間隔が微細化される傾向にある。したがって、アナログ信号とデジタル信号（クロック信号を含む）が混在される半導体集積回路では、アナログ信号を通す配線（以下、アナログ配線という）と、デジタル信号を通す配線（以下、デジタル配線という）が交差し、或いは隣接されることが多くなる。

## 【0003】

【発明が解決しようとする課題】 このような半導体集積回路では、アナログ配線とデジタル配線の交差部において、デジタル信号が変化するときの電圧変動がアナログ信号に影響してアナログ信号の波形が崩れ、回路の誤動作をまねくという所謂クロストークが生じるおそれがある。又、同様にアナログ配線とデジタル配線の隣接部分において、デジタル信号の電圧変動がアナログ信号に影響することがある。

【0004】 このため、従来では配線のレイアウト時に、アナログ配線とデジタル配線が交差しないような設計を行い、或いは両配線が隣接しないような設計を行っており、設計に制約を受けるとともに、配線の高密度化の障害となり、高集積度の半導体集積回路を得ることが難しいという問題がある。本発明の目的は、アナログ信号とデジタル信号のクロストークを抑止した上で、配線の設計上の制約を解消し、かつ配線の高密度化を可能にした配線構造を提供することにある。

## 【0005】

【課題を解決するための手段】 本発明の配線構造は、アナログ配線とデジタル配線の一方配線層の上側及び下側に接地した配線層を形成し、他方の配線層をこれら接地配線層の上側又は下側で交差させる。又、一方の配線

10

の両側に接地した配線を沿設し、他方の配線をこれら接地配線の外側に配置する。

## 【0006】

【作用】 本発明によれば、一方の配線層は上側及び下側に形成した接地配線層によって他方の配線との間が接地シールドされ、片方の配線におけるデジタル信号の電圧変動が、もう片方におけるアナログ信号に影響を与えることが回避される。又、同様に一方の配線は両側に設けた接地配線により、その外側に設けた他方の配線との間が接地シールドされ、デジタル信号の電圧変動がアナログ信号に影響を与えることが防止される。

## 【0007】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明を多層配線構造に適用した第1実施例を示しており、同図(a)は平面図、同図(b)はそのA-A線断面図である。接地されたP型半導体基板1にはN型半導体拡散層で構成される拡散配線層2が設けられる。このP型半導体基板1上には絶縁膜3が形成され、この絶縁膜3に開設されたコンタクトホール4を介して絶縁膜3上には前記拡散配線層2の両端部に夫々接続される金属配線層5が設けられる。又、この金属配線層5と同時に拡散配線層2の上側領域には、これを覆うように接地金属配線層6が設けられる。この接地金属配線層6は図外の部分においてP型半導体基板1に接続され、接地された状態とされる。

【0008】 これら金属配線層5、6の上には層間絶縁膜7が形成され、この層間絶縁膜7上には拡散配線層2と交差する金属配線層8が形成される。尚、この金属配線層8の上には保護絶縁膜9が形成される。そして、前記拡散配線層2で相互に接続される金属配線層5をアナログ配線として構成し、前記金属配線層8をデジタル配線として構成する。

【0009】 この構成によれば、金属配線層5と拡散配線層2とで構成されるアナログ配線は、デジタル配線として構成された金属配線層8との交差部分においては、下側のP型半導体基板1と上側の接地金属配線層6とで挟まれており、上下方向に接地シールドされることになる。このため、デジタル配線を通されるデジタル信号に電圧変動が生じた場合でも、その影響がアナログ配線を通されるアナログ信号に影響することは殆どなく、クロストークを抑制することができる。これにより、アナログ配線とデジタル配線の交差配置を許容することができ、配線設計の自由度を高めるとともに、配線密度を向上して半導体集積回路の高集積化が可能となる。

【0010】 このような配線の設計を実際に行う場合には、図1に示したような、拡散配線層2、金属配線層5、接地金属配線層6、及び交差される金属配線層8の構造を1つのセルとしてデータベースの一部として登録しておく。そして、配置配線の際に、ネットリストにお

いてアナログ配線であると認識された配線層と、デジタル配線であると認識された配線層とが交差する場合には、前記セルを配置した設計を行えばよい。尚、アナログ配線であることの区別は、その配線がアナログ配線である場合には、ネットリスト上でそのネット名の頭文字をある特定の文字列にする等によって配置配線手段に認識させておけばよい。

【0011】図2は本発明の第2実施例を示しており、同図(a)は平面図、同図(b)はそのB-B線断面図である。この実施例では、P型半導体基板1の上に設けた下地絶縁膜11上に多結晶シリコン配線層10を形成し、この多結晶シリコン配線層10を利用して金属配線層5を接続している。そして、この多結晶シリコン配線層10上に接地金属層6を形成し、その上に交差される金属配線層8を形成している。

【0012】この実施例においても、多結晶シリコン配線層10は交差金属配線層8に対して、下側のP型半導体基板1と上側の接地金属配線層6とで接地シールドされることになる。したがって、金属配線層8に通されるデジタル信号の電圧変動が、金属配線層5及び多結晶シリコン配線層10に通されるアナログ信号に影響を与えることはない。

【0013】図3は本発明の第3実施例を示す平面図である。半導体集積回路21のセル22とクロック入出力ピン23とをクロック信号を通す配線(以下、クロック配線と言う)24で接続し、他の信号入出力ピン25とセル22とをアナログ信号を通すアナログ配線26で接続する。そして、前記クロック配線24の両側には、細幅の接地配線27を沿設し、これら接地配線27をその一部において接地している。

【0014】この構成によれば、クロック配線24は左右両側で接地シールドされることになるため、クロック信号における電圧変動が生じた場合でも、その外側で隣接するアナログ配線26を通るアナログ信号に対して悪影響を与えることはない。又、この配線構造の場合でも、配置配線に際しては、ネットリストにおいてクロック配線であると認識された配線(クロック配線であるとの区別は、その配線がクロック配線である場合にはネットリスト上でそのネット名の頭文字をある特定の文字列にする等によって配置配線手段に事前に認識させておく)は、接地電位に固定した接地配線を常にクロック配線を挟むように配置させることができる。

【0015】図4は本発明の第4実施例を示す図であり、同図(a)は平面図、同図(b)及び(c)は夫々C-C線、D-D線断面図である。半導体集積回路21に設けたクロック配線24とアナログ配線26が積層されている箇所では、クロック配線24の上下に接地配線

を形成する。即ち同図(b)及び(c)のように、半導体基板31の絶縁膜32内に形成したクロック配線24の上下に夫々接地金属配線層33、34を形成し、これら接地金属配線層33、34でクロック配線24を上下に接地シールドしている。

【0016】したがって、同図(b)のように、アナログ配線26がクロック配線24の上側に配置される場合でも、又同図(c)のようにアナログ配線26がクロック配線24の下側に配置される場合でも、夫々クロック配線24での電圧変動がアナログ配線26のアナログ信号に影響することを防止することができる。

#### 【0017】

【発明の効果】以上説明したように本発明は、一方の配線層の上側及び下側に接地配線層を形成し、他方の配線層はその上側又は下側で交差させるようにしているので、一方の配線層は他方の配線層との間で接地シールドされ、片方の配線におけるデジタル信号の電圧変動が、もう片方におけるアナログ信号に影響を与えることが回避される。又、一方の配線の両側に接地配線を沿設し、かつその外側に他方の配線を隣接配置しているので、一方の配線と外側に設けた他方の配線との間が接地シールドされ、デジタル信号の電圧変動がアナログ信号に影響を与えることが防止される。これにより、配線の交差配置及び隣接配置を許容しても配線間でのクロストークが抑止でき、配線の設計の自由度を高めるとともに、半導体集積回路の高集積化を実現することができる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の配線構造の第1実施例を示し、(a)は平面図、(b)はそのA-A線断面図である。  
 【図2】本発明の配線構造の第2実施例を示し、(a)は平面図、(b)はそのB-B線断面図である。  
 【図3】本発明の配線構造の第3実施例の平面図である。

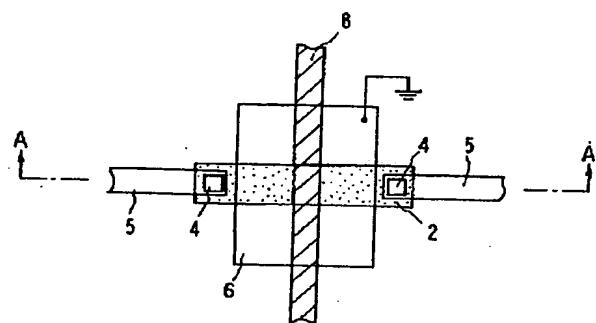
【図4】本発明の配線構造の第4実施例を示し、(a)は平面図、(b)はそのC-C線断面図、(c)はそのD-D線断面図である。

#### 【符号の説明】

1	P型半導体基板
2	拡散配線層
5	金属配線層
6	接地金属配線層
8	金属配線層
24	クロック配線
26	アナログ配線
27	接地配線
33, 34	接地金属配線層

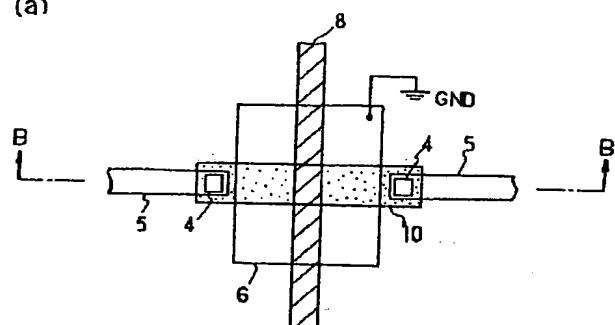
【図1】

(a)

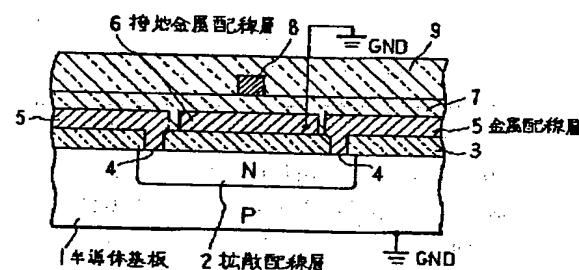


【図2】

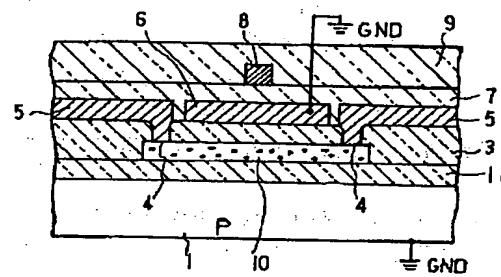
(a)



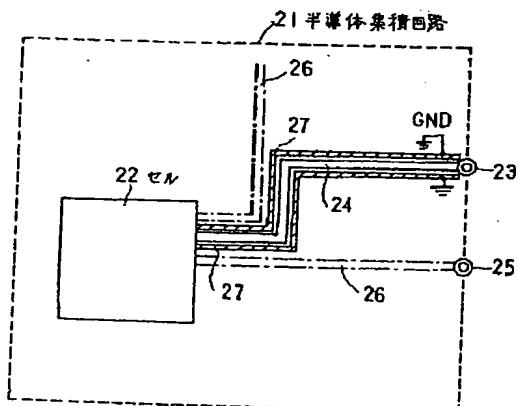
(b)



(b)



【図3】



【図4】

